



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06169592 A

(43) Date of publication of application: 14 . 06 . 94

(51) Int. Cl

H02P 6/02

(21) Application number: 05209098

(71) Applicant: SILICON SYST INC

(22) Date of filing: 24 . 08 . 93

(72) Inventor: AUSTIN CHARLES C

(30) Priority: 24 . 08 . 92 US 92 934860

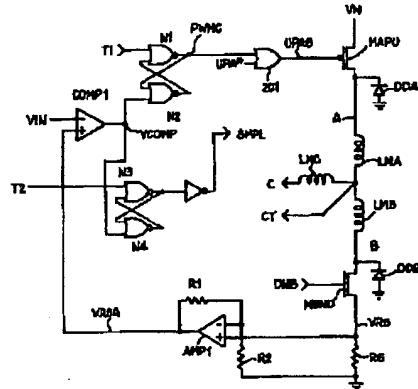
(54) CURRENT CONTROL CIRCUIT OF INDUCTIVE LOAD

COPYRIGHT: (C)1994,JPO

(57) Abstract

PURPOSE: To avoid noise trouble and constitutional complication by performing automatic switching between a PWM mode and a linear mode in accordance with the current demand of an inductive equipment.

CONSTITUTION: A timer signal T_1 sets the output PWMC of an NOR gate in the state of 'low'. When VCOMP is 'low', PWMC is 'low' as it is after T_1 has become 'low'. When UPA* is 'low', a driving transistor MAPU turns on. When a gate signal is in the state of 'high', DNB generates a signal for driving a transistor MBND. It also turns on, and a current flows through coils LMA and LMB. The current flowing through the coils increases with time, and an amplified voltage VRSA is obtained by AMP₁. When VRSA is larger than a voltage VIN, VCOMP is made 'high' by a comparator COMP₁, and PWMC is made 'high' by an NOR gate N₂. Thereby the transistor MAPU is driven, turns off, and blocks a current from a power source VM. A current continuously flows in an inductive load through a diode DDA.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-169592

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl.⁵

H 0 2 P 6/02

識別記号 庁内整理番号

3 7 1 E 8938-5H

F I

技術表示箇所

審査請求 未請求 請求項の数12(全 13 頁)

(21)出願番号

特願平5-209098

(22)出願日

平成5年(1993)8月24日

(31)優先権主張番号 07/934,860

(32)優先日 1992年8月24日

(33)優先権主張国 米国(US)

(71)出願人 592165118

シリコン システムズ インコーポレーテッド

アメリカ合衆国 92680-7022 カリフォルニア州 ツースチン マイフォード ロード 14351

(72)発明者 チャールズ シー。 オースチン

アメリカ合衆国 92692 カリフォルニア州 ミッション ヴィージョ、サンレモン ウエイ 26416

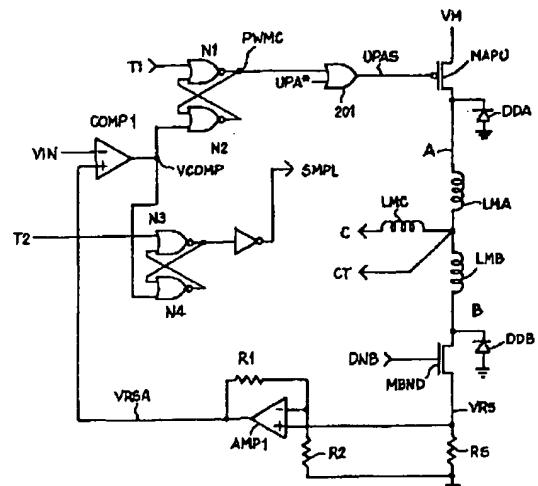
(74)代理人 弁理士 南條 真一郎

(54)【発明の名称】 誘導性負荷の電流制御回路

(57)【要約】

【目的】 各誘導性要素の電流要求に基づいて、パルス幅変調モードとリニアモードの間を自動的にスイッチすることにより各誘導性要素を通る電流を制御するためのシステムを提供する。

【構成】 タイムベース回路は誘導性装置を通じて電流を流すことができる周期的パルスを発生する。誘導性装置を通る電流は時間の経過に応じて増加する。誘導性装置を通る電流が指定値を越えると、電流は次のパルスがタイムベース回路から発生されるまで遮断される。電源電流が遮断されたあと、誘導性装置を通る電流はフライバック・ダイオードを通して流れ続け、時間の経過に応じて徐々に低下する。電流がゼロに達する前に、もう一つのパルスがタイムベース回路により供給される。誘導性装置を通る電流の持続時間と増加率及び低下率を制御することによって、各誘導性要素のための電流制御の方法が得られる。



【特許請求の範囲】

【請求項 1】 誘導性負荷を通る電流の標本である第1信号を供給するための電流検出手段と；前記第1信号を第2信号と比較するためまた前記第1信号の大きさが前記第2信号の大きさより大きいときに第1状態から第2状態へと変化する第3信号を発生するために前記電流検出手段に接続される比較手段と；前記第3信号が前記第1状態から前記第2状態へ変化するときに前記電流を低下させるための電流低下手段；とを具える誘導性負荷の電流制御回路。

【請求項 2】 前記電流低下手段が前記第3信号が前記第1状態から前記第2状態へと変化するときに供給電圧から前記誘導性負荷を遮断する請求項1記載の誘導性負荷の電流制御回路。

【請求項 3】 前記回路が前記電流低下手段によって前記誘導性負荷を前記供給電圧に周期的に再接続できるように前記電流低下手段に結合される第1タイミング手段をさらに具える請求項2記載の誘導性負荷の電流制御回路。

【請求項 4】 第4信号を発生するために前記比較手段に接続される第1ロジック回路をさらに具える請求項3記載の誘導性負荷の電流制御回路。

【請求項 5】 前記電流検出手段が抵抗要素と增幅手段を具える請求項3記載の誘導性負荷の電流制御回路。

【請求項 6】 前記増幅手段が可変ゲインを有する請求項5記載の誘導性負荷電流制御回路。

【請求項 7】 前記電流低下手段が：供給電圧から前記誘導性負荷を遮断するために前記誘導性負荷と前記供給電圧とに接続されるスイッチと；前記スイッチを制御するために前記比較手段と前記第1タイミング手段とに接続されるフリップフロップ；とを具える請求項3記載の誘導性負荷の電流制御回路。

【請求項 8】 前記電流低下手段が第5信号を受けるためまた前記スイッチによって前記第3信号とは無関係に前記誘導性負荷を前記供給電圧から遮断するために前記フリップフロップと前記スイッチとに接続されるロジック回路をさらに具える請求項7記載の誘導性負荷の電流制御回路。

【請求項 9】 逆起電力サンプルのタイミングを制御するためにタイミング制御回路をさらに具え、前記タイミング制御回路が前記第3信号と第2タイミング手段からの第6信号を受け入れる請求項8記載の誘導性負荷の電流制御回路。

【請求項 10】 前記第1タイミング手段が前記誘導性負荷を作動するためにパルス幅変調モードとするのに充分な高い周波数で作動する請求項8記載の誘導性負荷の電流制御回路。

【請求項 11】 前記パルス幅変調モードとリニアモード間の選択が前記電流と前記第2信号に基づいて行われる請求項10記載の誘導性負荷の電流制御回路。

10 【0002】

【従来の技術】 電気回路には誘導性要素が含まれることが多い。一部の回路では誘導性要素により要求される電流の量は時間の経過に応じて変化する。電源やスイッチ装置などの電気システム及び要素の性能を最適化するには誘導性要素を通じて流れる電流の量を制限するのが望ましい場合がある。

【0003】 モータはその作動電流を制御するのが望ましい誘導性要素の一種である。従来技術ではモータ内の電流を制御するために2つの方法が用いられている。従来技術の一つの方法はリニア制御として知られている。リニア電流制御では定常電流をある制御レベルで流れるようにすることができる。従来技術の第2の方法はパルス幅変調 (Pulse Width Modulation = PWM) として知られるものである。パルス幅変調の場合は電流は一定レベルのパルスで加えられる。パルス幅変調ではパルスの幅を変えることによって電流を制御する。パルス幅変調は電流を完全にオンまたは完全にオフにスイッチングするため、リニア電流制御に伴う損失を回避して高い効率を達成する。しかし、パルスを発生することによってパルス幅変調では電気的及び音響的ノイズをそれが使用されているシステム内に発生することがある。こうしたノイズはシステムのその他の要素に干渉しシステムのユーザーを悩ませることがある。

【0004】 ある種の従来技術のモータ・コントローラはリニアモードまたはPWMモードでモータを作動することができる。しかし、これらのモータ・コントローラはリニア動作またはPWM動作の選択を自動的に行うことができない。コントローラの（リニアまたはPWM）動作モードはコントローラ回路の外部の回路により選択されなければならずしたがって、コントローラがPWMモードであるべきときにリニアモードになることがあり、その結果効率が低下する。また、モータはリニアモードのままであるべきときにPWMモードになることがあり、それによってシステム内のノイズが増加する。

【0005】 従来技術のモータ・コントローラの一つにMicro Linear-ML4411がある。ML4411はリニア動作及びPWM動作が可能であるが、可変周波数PWMを使用するものはワンショットタイミング回路が必要である。また、ML4411には逆極性半導体型の上部及び下部ドライバが必要である。

【0006】

【発明の概要】本発明は誘導性要素を含む回路を制御するためのシステムを提供するものである。本発明はリニアまたはPWMモードで動作できるため、2つのモードの内の1つでしか動作しないという欠点を回避することができる。本発明は従来技術の一定オフタイム可変周波数PWM方法を使用しないため、可変周波数PWMに伴う一部のノイズの問題と複雑さを回避することができる。また、本発明は誘導性装置の電流需要に応じてPWMモードとリニアモードのあいだで自動的にスイッチングをすることができる。

【0007】本発明では誘導性装置を通る電流を測定し指定された値と比較する。タイムベース回路は電流が誘導性装置を通って流れることができるような周期パルスを発生する。誘導性装置を通る電流は時間の経過に応じて増加する。誘導性装置を通る電流が指定値を越えるとタイムベース回路から次のパルスが発せられるまでその電流は遮断される。その結果、誘導性装置が大量の電流を要求すると電流は指定値を越え短い電流のパルスだけがそのタイミングサイクル中に加えられる。しかし、誘導性装置が引出す電流が少ない場合には電流は急激には指定値を越えない。したがって、長いパルスの電流がそのタイミングサイクル中に流れる。誘導性装置が引出す電流が少ない場合に電流の量は全タイミングサイクルのあいだ指定値を越えないことがある。この場合には電流はタイミングサイクルの持続時間の間そして次のタイミングサイクルへと連続的に流れる。

【0008】本発明の実施例ではモータ巻線を通る電流を制御することができる。多くのモータ用途ではモータが始動している間また加速している間には大量の電流が必要であり、「一定の速度で」(正常な動作速度)動作するときには電流を多く使用しない。本発明によれば始動及び加速に限定してパルス幅変調電流を使用することができる。モータが「所定速度」動作になるとコントローラは自動的にリニアモード動作に切替わり動作ノイズを低下させる。

【0009】本発明の実施例ではまたパルス幅変調のために使用されるのと同じスイッチ要素を用いて電流転換を実施することができる。本発明の実施例ではまた、タイミング信号を発生してPWMスイッチと逆EMF比較を調整する。また、本発明は逆極性半導体型のスイッチ装置の使用に限られるものではなく、単一極性半導体型のスイッチ装置で実施することもできる。

【0010】本発明は複雑な回路を使用せずに誘導性負荷に適応するリニア電流制御及びPWM電流制御を実施するものであるため、さらに簡単で静かで能率的な誘導性負荷のための電流制御の方法を提供することもできる。

【0011】

【実施例】モータ及び誘導性負荷のための制御システム 50 御される。

について説明する。本発明を充分に説明するために、以下の説明の中で導体の種類、モータの種類などの多くの特定事項について詳しく述べる。しかし、技術精通者にはこれらの特定の詳細事項がなくても本発明を実施できることは明白である。その他の点では発明が不必要にわかりにくくならないよう公知の特徴については詳しく説明しない。

【0012】リニア及びPWM変調のための従来技術の回路の一例を図1に示す。電流転換ロジック(COMMUTATION LOGIC)信号117及びDISPWR信号118はワンショットマルチバイブレータ105の出力116とともにANDゲート106に入力として供給される。ANDゲート106の出力119はバッファ107に接続されている。バッファ107の出力120はドライバ101に接続されている。ドライバ101のポート112は検出抵抗102を通してグランドに接続されており、また增幅器103の入力部に接続されている。ポート111は星形結線の複数の誘導性負荷(図示せず)の1つに接続されている。図1の要素106, 107及び101と同一の追加要素(図示せず)が同様に接続されており他の誘導性負荷を駆動する。

【0013】電流制限信号114は増幅器104の非反転入力部に接続されている。増幅器103の出力113は増幅器104の反転入力部に接続されている。増幅器104の出力115はワンショットマルチバイブレータ105に接続されている。ワンショットマルチバイブレータ105のタイミングはライン123でワンショットマルチバイブレータ105及びVccに接続されたキャバシタ109により制御される。

【0014】信号121(I(CMD))は増幅器108の非反転入力部に接続されている。増幅器103の出力113は増幅器108の反転入力部に接続されている。増幅器108の出力122はキャバシタ110を通してグランド及びバッファ107に接続されている。

【0015】従来技術の制御回路にはリニア制御ループとPWM制御ループが含まれている。リニア制御ループは検出抵抗102を通して増幅器103のI(SENSE)端子上のモータ電流を検出する。内部電流検出増幅器(108)の出力はバッファ107を経てNチャネルMOSFET101のゲートを変調する。バッファ107はFET101のゲートを駆動するために10ミリアンペアまでの電流を供給または吸い込むことができるトームボール出力がある。

【0016】この回路には電流モード定オフタイムPWM回路が含まれている。モータ電流がI(LIMIT)114に設定された閾値まで増加すると(キャバシタ109により設定されたタイミングによって)ワンショットマルチバイブレータ105がトリガーされる。次にモータ内の電流が信号114及び121の内の低い方によって制御される。

【0017】本発明の実施例を図2に示す。2つのタイミング信号T₁及びT₂はタイムベース回路(図示せず)によって発生する。T₁はNORゲートN₁の1個の入力部に接続されている。NORゲートN₁のもう一方の入力はNORゲートN₂の出力である。NORゲートN₁の出力は信号PWM_cでありORゲート201の1個の入力部に接続されており、またNORゲートN₂の1個の入力部に接続されている。ORゲート201のもう一方の入力は信号UPA* (この信号はアクティブロー)である。ORゲート201の出力UPA*はP型駆動トランジスタM_{APU}のゲートに接続されている。トランジスタM_{APU}のソースは電圧V_mに接続されている。トランジスタM_{APU}のドレーンはノードAに接続されており、またダイオードDD_Aを通してグランドに接続されている。

【0018】V_{IN}信号は比較器COMP₁の反転入力部に接続されている。比較器COMP₁の出力はノードV_{COMP}に接続されている。V_{COMP}はNORゲートN₂の1個の入力部に、またNORゲートN₄の1個の入力部に接続されている。タイミング信号T₂はNORゲートN₄の出力部とともにNORゲートN₃に接続されている。NORゲートN₃の出力はNORゲートN₄のもう一方の入力部に接続されており、また反転して信号SMP_Lを供給する。

【0019】ノードAはモータコイルLM_Aに接続されている。モータコイルLM_Cは制御信号C_TとしてコイルLM_AとLM_Bの接続部に接続されている。モータコイルLM_Bの1個の端子はノードBでダイオードDD_Bに(もう一方はグランドに)接続されておりまた駆動トランジスタM_{BND}のドレーンに接続されている。駆動トランジスタM_{BND}のゲートは信号D_{NB}に接続されている。トランジスタM_{BND}のソースは電圧V_{RS}に接続されている。電圧V_{RS}は増幅器AMP₁の非反転入力部に接続されておりまた抵抗R_Sを通してグランドに接続されている。抵抗R_Sは増幅器AMP₁の反転入力部とグランドのあいだに接続されている。増幅器AMP₁の出力は抵抗R₁を通して反転入力部にフィードバックループで接続されている。増幅器AMP₁の出力は信号V_{RSA}であり比較器COMP₁の非反転入力部に接続されている。

【0020】図2に図示されていないものは:M_{BND}と同様にカッピングノードA及びCをそれぞれV_{RS}に接続するトランジスタM_{AND}及びM_{CND};カッピングノードBをV_mに接続するトランジスタM_{BP}に接続されたNORゲート201B、また同様にカッピングノードCをV_mに接続するトランジスタM_{CP}に接続されたNORゲート201c;DD_A及びDD_Bと同様にノードCをグランドに接続するダイオードD_{CC}である。

【0021】上記のように、信号T₁及びT₂は図示されていないタイムベース回路により発生される。図3に簡単にふれるとT₁の割合はT_Pが約20~100マイクロ秒である。T₁(T_w)の幅は約1~5マイクロ秒であり

T₂(T_s)の幅も同様である。T₁(T_b)からのT₂の遅延は本発明の実施例では通常10~20マイクロ秒である。

【0022】T₁はNORゲートN₁の出力(PWM_c)をローの状態にする。V_{COMP}がローであるとすると、T₁がローになったあとPWM_cはローのままでどまり、UPA*がローの場合は駆動トランジスタM_{APU}は(PチャンネルMOSFETであるため)オンになる。

【0023】D_{NB}ではゲート信号がハイポテンシャルで10トランジスタM_{BND}を駆動する信号を発生し、M_{BND}もまたオンになり電流はコイルLM_A及びLM_Bを流れる。これらのコイルはインダクタであるため電流の値は時間の経過に応じて増大する。電流の流れ(及び電流の増加)はV_{RSA}つまりV_{RS}の増幅電流として表れる。V_{RSA}が電圧V_{IN}よりも大きいときは比較器COMP₁によってV_{COMP}がハイになり、またNORゲートN₂の作用を通じてPWM_cがハイになる。さらにこれによってトランジスタM_{APU}が駆動されてオフになり電源V_mからの電流を阻止する。誘導性負荷はダイオードDD_Aを通して電流の流れを継続させる。これについては図3のケース1で見ることができる。

【0024】図2及び3にふれると、図3のケース2は同様のシーケンスを示しているが、V_{RSA}がV_{IN}に達するのにかかる時間が、各T₁事象間の時間(T_P)の大きい部分である点が異なる。ケース3は第3の可能性を示しており、この場合電流は1つまたはそれ以上のT₁事象の時間内にV_{RSA}がV_{IN}を越えるような値に達することはない。この例ではPWM_cはローのままであり、モータ電流が制限値に達しないため、駆動トランジスタM_{APU}

30 APUは連続的にオンのままであり、スイッチモードの動作は要求されない。また図2に示されているのはサンプル信号SMP_Lであり、これはホール検出システムを具えないモータの電流転換に対してモータの位置を定めるために使用される。タイミング信号T₂によって、遅延T_bのあと、スイッチモードの動作中にモータコイルが「オン」にスイッチングされるときに、駆動されていないコイルをノードCでサンプルすることができ、ノードC_Tと比較して、サンプルすることもできる。図示されているようにサンプルはT₁後にT_bで始まりV_{COMP}がハイになるまで続く。それは駆動トランジスタがオフなるときである。そのため、スイッチモードの動作が要求されないケース3ではサンプル出力SMP_Lはハイのままであり、同一のリニア動作で追加制御回路の形態をとらずに連続的に比較を行うことができる。

【0025】図3では信号T₁はタイミングライン301により示されている。時間T_PはT₁のパルスの連続的立上りエッジにより示されている。T_wは各パルスの幅により示されている。T₂は図3のタイミングライン302により示されている。T_sはT₂の各パルスの幅により示されている。時間T_bはT₁のパルスの立上りエッジ

と T_2 のパルスの立上りエッジの差である。 PWM_c 信号は図 3 のタイミングライン 303 により示されている。信号 V_{RSA} はライン 304 により示されている。タイミングライン 304 のピークは信号 V_{RS} である。 V_{COMP} はタイミングライン 305 により示されている。 A における信号はタイミングライン 306 により示されまたサンプル信号はタイミングライン 307 により示されている。

【0026】図 4 は本発明の実施例により制御されるモータのアクティブモータ巻線を通る電流と電圧を示すタイミング図である。ライン 401 は電圧 V_{RSA} であり、またライン 402 はノード A の電圧である。 T₁ でパルスが発生すると PWM_c ノードは下がり、 P チャンネル・トランジスタがオンになる。モータ巻線の電圧は V_M に切替わる。電圧 V_{RSA} が開始電圧 V_{IN} を越えると、 NOR ゲート N₁ 及び N₂ が切替わり、駆動トランジスタはオフになる。ダイオード DDA 上の電圧低下は V_M よりもかなり少ないため、時間 T₁ までに再度発生しコイル電流は V_M と DDA のあいだの電圧差により増加したほど多くは減衰しない。したがって、あのサイクルでは V_{RS} は T₁ の全時間（たとえば、 50 ~ 100 マイクロ秒）よりはむしろ早く増加する。このように、システムは電流制限のための手段を具えており任意の誘導性負荷で動作することができる。

【0027】モータ、特に逆 EMF 検出モータに適用するにはサンプルを非駆動コイルからとる。信号 402 についてはサンプルを得るのに最適な時間はリングングが静まった後である。時間 T₂ ではリングングが静まった後サンプルゲートが開く。サンプルゲートは上部ドライバ (M_{APU}) がオフになる直前に閉じる。 M_{APU} がオフになると領域 405 に示したように 1 つのダイオードへの電圧の低下がある種のリングングでグランドより下に下がる。電圧 V_{RS} がゆっくり、すなわち時間 T₂ より長い時間をかけて増加する場合は M_{APU} はオフにはならず、電流はオンのまとなる。ケース 3 として示した 1 つのモードでは V_{RS} は V_S を越えることはなく、パルス幅変調のない電流転換期間中、電流は連続的にオンのまとなる。この状況ではシステムは自動的に通常のアンスイッチ動作に戻る。

【0028】本発明のもう一つの実施例を図 5 に示す。図 5 は図 2 の実施例に類似している。しかし、ダイオード D_{UA}, D_{UB} 及び D_{UC} を使用して誘導性「フライバック」電流を流すことができる。この場合はトランジスタは両方とも NMOS トランジスタである。これには上部駆動トランジスタ M_{ANU} のゲートに U_{PAB} 信号を発生する高周波スイッチド・キャパシタ電圧コンバータが必要である。信号 U_{PA} はインバータを通して接続されており、電圧コンバータ (VOLTAGE CONVERTER) へ U_{PAI} 信号を発生する。 NOR ゲート N₁ 及び N₂ の出力は上部ドライバを制御する代わりに信号 D_{nb} の反転部に接続されて

おり、下部ドライバ M_{BND} へ信号 D_{NBS} を供給する。

【0029】図 5 に図示されていないものは： M_{BND} と同様にカッピングノード A 及び C をそれぞれ V_{RS} に接続するトランジスタ M_{AND} 及び M_{CND} (及び関連 D_{NA} 及び D_{NC} ドライブロジック) ; M_{ANU} と同様にカッピングノード B 及び C をそれを V_M に接続するトランジスタ M_{BNU} 及び M_{CNU} (及び関連 V_{PB} 及び V_{PC} 電圧変換回路) である。

【0030】上部スイッチ装置で発生する PWM スイッチを用いた本発明のもう一つの実施例を図 6 に示す。多極モータでの本発明の使用を説明するため 3 極モータを図 6 に示す。モータには巻線 L_{MA}, L_{MB} 及び L_{MC} が含まれる。モータへの接続はノード A, B, C 及び C_T で行っててもよい。

【0031】図 6 にはまた、フライバック・ダイオード D_{DA}, D_{DB} 及び D_{DC} が示されている。3 個の上部 MOSFET の M_{APU}, M_{BPU} 及び M_{CPU} が図示されている。3 個の下部 MOSFET の M_{AND}, M_{BND} 及び M_{CND} も図示されている。

【0032】図 6 にはまた 3 個の上部ドライバ、すなわち上部ドライバ A (UD_A) , 上部ドライバ B (UD_B) 及び上部ドライバ C (UD_C) と 3 個の下部ドライバ、すなわち下部ドライバ A (LD_A) , 下部ドライバ B (LD_B) 及び下部ドライバ C (LD_C) も示してある。

【0033】図 6 にはまた、逆 EMF 比較器 (Back EMF Components = BEC) , 追加增幅器 (AMP) , 比較器 (COMP₁) 及びロジック回路、さらに各種の入力部及び出力部ならびに検出抵抗 R_s も図示されている。

【0034】各モータ巻線 L_{MA}, L_{MB} 及び L_{MC} の一端はノード C_T に接続されている。モータ巻線 L_{MA} の他方の端はノード A に接続されている。モータ巻線 L_{MB} の他方の端はノード B に接続されている。モータ巻線 L_{MC} の他方の端はノード C に接続されている。フライバック・ダイオード D_{DA} のカソードはノード A に接続されている。フライバック・ダイオード D_{DB} のカソードはノード B に接続されている。フライバック・ダイオード D_{DC} のカソードはノード C に接続されている。ダイオード D_{DA}, D_{DB} 及び D_{DC} のアノードはグランドに接続されている。フライバック・ダイオード D_{DA}, D_{DB} 及び D_{DC} はその他の制御回路とともに集積回路に組込むこともできるあるいは集積回路に隣接するディスクリート装置の形にしてもよい。

【0035】電源 V_M は MOSFET の M_{APU}, M_{BPU} 及び M_{CPU} のドレーン端子に接続されている。 MOSFET-M_{APU} のソース端子はノード A と MOSFET-M_{AND} のドレーン端子に接続されている。 MOSFET-M_{BPU} のソース端子はノード B と MOSFET-M_{BND} のドレーン端子に接続されている。 MOSFET-M_{CPU} のソース端子はノード C と MOSFET-M_{CND} のドレーン端子に接続されている。各 MOSFET の M_{AND}, M_{BND} 及び M_{CND} の反転部に接続されている。

M_{CND} のソース端子は抵抗 R_s の第1端子に接続されている。抵抗 R_s の第2端子はグランドに接続されている。抵抗 R_s の第1の端子はまた増幅器 AMP の入力部に接続されている。ノード A はまた、上部ドライバ A (UD_A) と逆EMF 比較器 BEC に接続されている。ノード B はまた上部ドライバ B (UD_B) と、逆EMF 比較器 BEC に接続されている。ノード C はまた上部ドライバ C (UD_C) と逆EMF 比較器 BEC に接続されている。ノード C_T は逆EMF 比較器 BEC に接続されている。上部ドライバ回路 UD_A, UD_B 及び UD_C は(上記で図5に示されていることを述べたように)電圧変換回路を組込み、NMOS 出力トランジスタ M_{APU} , M_{BPU} 及び M_{CPU} のゲートを適切に駆動する。

【0036】MOSFET-M_{APU}のゲート端子は上部ドライバ A (UD_A) に接続されている。MOSFET-M_{AND}のゲート端子は下部ドライバ A (LD_A) に接続されている。MOSFET-M_{BPU}のゲート端子は上部ドライバ B (UD_B) に接続されている。MOSFET-M_{BND}のゲート端子は下部ドライバ B (LD_B) に接続されている。MOSFET-M_{CPU}のゲート端子は上部ドライバ C (UD_C) に接続されている。MOSFET-M_{CND}のゲート端子は下部ドライバ C (LD_C) に接続されている。この実施例のスイッチ装置はMOSFETであるが、ダーリントン・トランジスタなどの他のスイッチ装置をMOSFETの代わりに使用することができる。さらに、上部ドライバ M_{APU} , M_{BPU} 及び M_{CPU} は適切な上部ドライバ回路を使用すればPチャンネル型のものにすることができる。

【0037】入力 GAIN₀ 及び GAIN₁ は増幅器 AMP に接続されている。増幅器 AMP の出力は比較器 COMP₁ の非反転入力部に接続されている。入力 V_{IN} は比較器 COMP₁ の反転入力部に接続されている。

【0038】入力 T_{sw} は NOR ゲート N₁ の第1入力部に接続されている。NOR ゲート N₁ の出力は NOR ゲート N₂ の第1入力部に接続されている。NOR ゲート N₂ の出力は NOR ゲート N₁ の第2入力部に接続されている。このようにして、NOR ゲート N₁ 及び N₂ はフリップフロップ回路を構成する。

【0039】入力 T_{SAMPLE} は NOR ゲート N₃ の第1入力部に接続されている。NOR ゲート N₃ の出力は NOR ゲート N₄ の第1入力部に接続されている。NOR ゲート N₄ の出力は NOR ゲート N₃ の第2入力部に接続されている。このようにして、NOR ゲート N₃ 及び N₄ はフリップフロップ回路を構成する。

【0040】比較器 COMP₁ の出力は NOR ゲート N₂ の第2入力部と NOR ゲート N₄ の第2入力部に接続されている。NOR ゲート N₁ の出力は上部ドライバ A (UD_A)、上部ドライバ B (UD_B) 及び上部ドライバ C (UD_C) に接続されている。NOR ゲート N₃ の出力はノード SAMPLE と逆EMF 比較器 BEC に接続さ

れている。逆EMF 比較器 BEC は外部回路に接続される出力 CMP_{out} を供給する。入力 UP_A, DOWN_A, UP_B, DOWN_B, UP_C 及び DOWN_C は外部回路から入力される。入力 UP_A は上部ドライバ A (UD_A) に接続されている。入力 DOWN_A は下部ドライバ A (LD_A) に接続されている。入力 UP_B は上部ドライバ B (UD_B) に接続されている。入力 DOWN_B は下部ドライバ B (LD_B) に接続されている。入力 UP_C は上部ドライバ C (UD_C) に接続されている。入力 DOWN_C は下部ドライバ C (LD_C) に接続されている。

【0041】図6の実施例ではMOSFETの M_{APU} , M_{AND} , M_{BPU} , M_{BND} , M_{CPU} 及び M_{CND} はモータ巻線 L_A, L_{M_B} 及び L_{M_C} を通る電流を制御する。外部制御回路は信号 UP_A, DOWN_A, UP_B, DOWN_B, UP_C 及び DOWN_C をアクティブにし、モータのノード A, B 及び C が供給電圧 V_m 及びグランドを具えるモータ電源に接続されている。外部制御回路はモータの電流転換を確保するために適切なアクティビ化シーケンスを提供する。同様に外部制御回路が信号 DOWN_A をアクティブにすると下部ドライバ A (LD_A) が MOSFET-M_{AND} のゲート端子に電圧を加え、それによって MOSFET-M_{AND} が抵抗 R_s を通じてノード A をグランドに接続する。

【0042】同様に、外部制御回路が信号 DOWN_B をアクティブにすると下部ドライバ B (LD_B) が MOSFET-M_{BND} のゲート端子に電圧を加え、それによって MOSFET-M_{BND} が抵抗 R_s を通じてノード B をグランドに接続する。同様にして、外部制御回路が信号 DOWN_C をアクティブにすると下部ドライバ C (LD_C) が MOSFET-M_{CND} のゲート端子に電圧を加え、それによって MOSFET-M_{CND} が抵抗 R_s を通じてノード C をグランドに接続する。したがって、外部制御回路によって図6の回路でノード A, B 及び C をグランドに選択的に接続することができる。適切なモータ動作への必要に応じて任意の数のノードを同時にグランドに接続することもできる。

【0043】リニアモードでは外部制御回路が制御信号 UP_A をアクティブにすると上部ドライバ A (UD_A) が MOSFET-M_{APU} のゲート端子に電圧を加え、それによって MOSFET-M_{APU} がノード A を供給電圧 V_m に接続する。同様に、リニアモードでは外部制御回路が信号 UP_B をアクティブにすると上部ドライバ B (UD_B) が MOSFET-M_{BPU} のゲート端子に電圧を加え、それによって MOSFET-M_{BPU} がノード B を供給電圧 V_m に接続する。同様にして、リニアモードで動作するときに外部制御回路によって制御信号 UP_C がアクティブになると上部ドライバ C (UD_C) が MOSFET-M_{CPU} のゲート端子に電圧を加え、それによって MOSFET-M_{CPU} がノード C を供給電圧 V_m に接続する。したがって、リニアモードでは外部制御回路によってノード

A, B及びCのいずれかまたはすべてを図6の回路で供給電圧 V_M に接続することができる。

【0044】外部制御回路が信号DOWN_A, DOWN_BまたはDOWN_Cのいずれかをアクティブにすると、ノードA, BまたはCの少なくとも1個が抵抗 R_s を通じてグランドに接続されている。これらのノードを抵抗 R_s を通じてグランドに接続することによって電流が抵抗 R_s を通ってグランドへと流れることができる。電流が抵抗を通って流れるとオームの法則にしたがって電圧の低下が抵抗の上で起こる。その結果、増幅器AMPへの入力電圧は抵抗 R_s を通って流れの電流に比例する。

増幅器AMPのゲインは制御信号GAIN_N及びGAIN_{N₁}を変更することによって変えることができる。増幅器AMPのゲインの調整には各種モータ及び各種MOSFETならびに抵抗 R_s の各種値を使用することができる。増幅器AMPのゲインの調整の典型的な範囲は5~30であるが、本発明はその他の値で実施することもできる。増幅器AMPの出力からの増幅電圧は比較器COMP₁の非反転入力部に現れる。このようにして、比較器COMP₁の非反転入力部の電圧は抵抗 R_s を通る電流に比例しており、またモータ巻線LM_A, LM_B及びLM_Cを通る電流を測定することができる。

【0045】比較器COMP₁は非反転入力部の電圧をその反転入力部に存在する入力 V_{IN} と比較する。入力 V_{IN} はモータの電流が一定の値より大きいときに越える閾値を設定するために使用される。モータを通る電流を表す電圧が入力 V_{IN} の電圧を越えると比較器COMP₁は状態を変える。比較器COMP₁の出力が状態を変えると、NORゲートN₁, N₂, N₃及びN₄を含む2つのフリップフロップが状態を変える。

【0046】自動的にPWM動作を実施するには図3の波形301で示したように幅 T_w 及び期間 T_p を有するパルスを入力 T_{sw} に加える。入力 T_{sw} のパルスはNORゲートN₁及びN₂を含むフリップフロップの状態を変え、それによってNORゲートN₁の出力の信号がアクティブになる。このアクティブ信号は上部ドライバUDA_A, UDB_B及びUDC_Cをイネーブルにする。上部ドライバがイネーブルになると入力UP_A, UP_BまたはUP_C上のアクティブ信号がそれぞれMOSFET-M_{APU}, M_{BPU}またはM_{CPU}をオンにする。このようにして、モータのノードA, BまたはCの1つが供給電圧 V_M に接続される。MOSFETのM_{AND}, M_{BND}またはM_{CND}の1つがオンになるとそれに応じて電流はそれぞれモータ巻線LM_A, LM_BまたはLM_Cを通って流れ始める。

【0047】インダクタを通過する電圧は式 $V = L di/dt$ によって表されることから供給電圧の段階に応じてモータ巻線を通過する電流が瞬間にその最大値まで増加することはなく時間の経過に応じてリニアに上昇する。その結果、比較器COMP₁の非反転入力部の電圧もまた、供給電圧が最初にモータ巻線に接続された後、時間の経

過に応じてリニアに増加する。モータ巻線を通る電流が増加するにつれて比較器COMP₁の非反転入力部の電圧が入力 V_{IN} の電圧を越える場合には比較器COMP₁の出力の状態が変わり、NORゲートN₁及びN₂を含むフリップフロップの状態が変わり、NORゲートN₁の出力が非活性になると上部ドライバUDA_A, UDB_B及びUDC_Cはディスエーブルになり、それによってアクティブMOSFET(M_{APU}, M_{BPU}またはM_{CPU})がオフになり、供給電圧 V_M からモータの接続が切り離される。モータが供給電圧 V_M との接続していないときはモータ巻線を通る電流はもはや増加できない。

【0048】フライバック・ダイオードDD_A, DD_B及びDD_CはMOSFETのM_{APU}, M_{BPU}またはM_{CPU}がオフになった後に流れ続けるように、モータ巻線LM_A, LM_B及びLM_C内に電流の通路を設ける。フライバック・ダイオードDD_A, DD_BまたはDD_Cを通って電流が流れ、またモータ巻線内に保存されたエネルギーが消失するにつれてモータ巻線を通る電流が徐々に減少し、その結果抵抗 R_s 上の電圧が徐々に低下する。抵抗 R_s 上の電圧が低下するにつれて、比較器COMP₁の非反転入力部の電圧は入力 V_{IN} の電圧以下に下がり、また比較器COMP₁の変化はもとの状態に戻る。期間 T_p が経過したあともう一つのパルスが入力信号 T_{sw} に加えられ新しいPWMサイクルが始まり上記の過程が繰返される。

【0049】電流転換制御のために逆EMF検出を行うためにはパルスを入力信号 T_{sw} に加えてから遅延 T_d が経過したあとパルスを入力 T_{SAMPLE} に加える。入力信号 T_{SAMPLE} に加えられたパルスの持続時間は T_s でありこれは図3の波形302に示されている。入力信号 T_{SAMPLE} のパルスによってNORゲートN₃及びN₄を含むフリップフロップの状態が変わると信号SAMPLEはアクティブになる。信号SAMPLEは逆EMF比較器BECに加えられ、確実な逆EMF比較が起こっている間にタイムウインドを定める。抵抗 R_s を通る電流が、比較器COMP₁の非反転入力部の電圧が入力 V_{IN} の電圧を越える点まで増加すると、比較器COMP₁の出力の信号の状態が変わり、NORゲートN₃及びN₄を含むフリップフロップの状態が変わり、その結果信号SAMPLEが非活性になる。

【0050】下部スイッチ装置で起きたPWMスイッチングを使用する本発明のもう一つの実施例を図7に示す。図7には3つのモータ巻線LM_A, LM_B及びLM_Cが図示されている。また3つのフライバック・ダイオードDU_A, DU_B及びDU_Cも図示されている。図7にはまた3つの上部スイッチ装置M_{APU}, M_{BPU}及びM_{CPU}、さらに3つの下部スイッチ装置M_{AND}, M_{BND}及びM_{CND}も図示されている。図7にはまた抵抗 R_s が含まれている。さらに上部ドライバA(UDA_A)、上部ドライバB

(UD_a) , 上部ドライバC (UD_c) , 下部ドライバA (LD_a) , 下部ドライバB (LD_b) 及び下部ドライバC (LD_c) も図示されている。図7にはまたさらに逆EMF比較器BEC, 増幅器(AMP) , 比較値(COMP_i) 及びロジック回路及び各種入力部と出力部も図示されている。

【0051】各モータ巻線LM_A, LM_B及びLM_Cからの1個の端子はノードC_Tに接続されている。モータ巻線LM_Aの他方の端子はノードAに接続されている。モータ巻線LM_Bの他方の端子はノードBに接続されている。モータ巻線LM_Cの他方の端子はノードCに接続されている。ライバック・ダイオードDU_AのアノードはノードAに接続されている。ライバック・ダイオードDU_BのアノードはノードBに接続されている。ライバック・ダイオードDU_CのアノードはノードCに接続されている。ライバック・ダイオードDU_A, DU_B及びDU_Cのカソードは供給電圧V_Mに接続されている。供給電圧V_Mはスイッチ装置M_{APU}, M_{BPU}及びM_{CPU}のドレーン端子に接続されている。スイッチ装置M_{APU}のソース端子はノードAとスイッチ装置M_{AND}のドレーン端子に接続されている。スイッチ装置M_{BPU}のソース端子はノードBとスイッチ装置M_{BND}のドレーン端子に接続されている。スイッチ装置M_{CPU}のソース端子はノードCとスイッチ装置M_{CND}のドレーン端子に接続されている。スイッチ装置M_{AND}, M_{BND}及びM_{CND}のソース端子は抵抗R_Sの第1端子に接続されている。抵抗R_Sの第2端子はグランドに接続されている。ノードAもまた上部ドライバA (UD_A) と逆EMF比較器BECに接続されている。ノードBもまた上部ドライバB (UD_B) と逆EMF比較器BECに接続されている。ノードCもまた上部ドライバC (UD_C) と逆EMF比較器BECに接続されている。抵抗R_Sの第1端子もまた増幅器AMPの入力部に接続されている。ノードC_Tは逆EMF比較器BECに接続されている。

【0052】スイッチ装置M_{APU}, M_{BPU}, M_{CPU}, M_{AND}, M_{BND}及びM_{CND}がMOSFETのその他のスイッチ装置として組み込まれる例を示したが、MOSFETの代わりに例えばダーリントントランジスタを使用してもよい。

【0053】入力GAIN₀及びGAIN₁は増幅器AMPに接続されている。増幅器AMPの出力は比較器COMP_iの非反転入力部に接続されている。入力V_{IN}は比較器COMP_iの反転入力部に接続されている。入力T_{sw}はNORゲートN₁の第1端子に接続されている。NORゲートN₁の出力はNORゲートN₂の第1入力部に接続されている。NORゲートN₂の出力はNORゲートN₁の第2入力部に接続されている。このようにして、NORゲートN₁及びN₂はフリップフロップ回路を構成する。

【0054】入力T_{SAMPLE}はNORゲートN₃の第1入

力部に接続されている。NORゲートN₃の出力はNORゲートN₄の第1入力部に接続されている。NORゲートN₄の出力はNORゲートN₃の第2入力部に接続されている。このようにして、NORゲートN₃及びN₄はフリップフロップ回路を構成する。

【0055】比較器COMP_iの出力は各NORゲートN₂及びN₄の第2入力部に接続されている。NORゲートN₁の出力はまた下部ドライバA (LD_A) , 下部ドライバB (LD_B) 及び下部ドライバC (LD_C) に接続されている。NORゲートN₃の出力はノードSAMPLEと逆EMF比較器BECに接続されている。逆EMF比較器BECは出力CMP_{out}を発生し、これは外部回路に接続されている。

【0056】入力UP_Aは上部ドライバA (UD_A) に接続されている。入力DOWN_Aは下部ドライバA (LD_A) に接続されている。入力UP_Bは上部ドライバB (UD_B) に接続されている。入力DOWN_Bは下部ドライバB (LD_B) に接続されている。入力UP_Cは上部ドライバC (UD_C) に接続されている。入力DOWN_Cは下部ドライバC (LD_C) に接続されている。入力GA_{IN}₀, GA_{IN}₁, V_{IN}, T_{sw}, T_{SAMPLE}, UP_A, DOWN_A, UP_B, DOWN_B, UP_C及びDOWN_Cは外部回路から引き出してもよい。

【0057】図7に示した実施例の動作は図6に示した実施例の場合と同様である。外部制御回路は信号UP_A, DOWN_A, UP_B, DOWN_B, UP_C及びDOWN_Cを発生してモータ巻線LM_A, LM_B及びLM_Cの適切な電流転換を実施する。外部制御回路によって、モータを双極または単極モードで動作することができる。双極動作は1つのモータ巻線の上部ドライバと異なるモータ巻線の下部ドライバを活性化することによって達成される。ノードC_TとノードA, B及びCの間にモータの供給電圧を連続的に加えることによって、外部制御回路はモータの単極動作に影響を及ぼすことがある。

【0058】リニアモード動作では外部制御回路が制御信号UP_A, UP_B及びUP_Cを連続的に活性化し、それによって適切なシーケンスで上部ドライバUD_A, UD_B及びUD_CがMOSFETのM_{APU}, M_{BPU}及びM_{CPU}を(最小限の抵抗まで)完全にオンにする。オンにならないときこれらのMOSFET(のスイッチ装置)は非導通状態である。外部回路はまた制御信号DOWN_A, DOWN_B及びDOWN_Cを駆動し、下部ドライバLD_A, LD_B及びLD_CがMOSFETのM_{AND}, M_{BND}及びM_{CND}を制御して、それらが制御された電流源として作用するようになる。これらのMOSFETが活性化されていない場合の電流転換サイクル状態の間、それらは非導通状態である。下部ドライバLD_A, LD_B及びLD_Cは入力電圧とともに抵抗R_S上の電圧V_sの比較値に基づいて制御されたゲート電圧をMOSFETのM_{AND}, M_{BND}及びM_{CND}へと供給する。電圧V_sと入力電圧の差によつ

て、MOSFETのゲート電圧が定まる。

【0059】 PWMモードではPWMパルスは電流転換状態の変化より高い周波数で発生する。PWMの動作は電流転換に関係なく起こり電流転換の動作から独立している。図7では信号T_{sw}及びT_{SAMPLE}は外部タイムベース回路により供給される。信号T_{sw}は図3の波形301により表されており、これは期間T_p及び幅T_wである。T_{sw}パルスはNORゲートN₁及びN₂を含むフリップフロップにより受けられ、NORゲートN₁の出力はアクティブになり、それによって下部ドライバL D_A, L D_B及びL D_CがMOSFETのM_{AND}, M_{BND}及びM_{CND}のゲートに電圧を加え、その結果これらのMOSFETは(最小の抵抗まで)完全にオンなる。外部制御回路はMOSFETのM_{APU}, M_{BPU}またはM_{CPU}を通してノードA, B及びCを供給電圧V_mに連続的に接続するかあるいは別の場合には外部MOSFET(図示せず)を通してノードC_Tを供給電圧V_mに接続し、モータ巻線は供給電圧V_mに接続されている。パルスは制御信号T_{sw}上に発生し、それによってMOSFETのM_{AND}, M_{BND}及びM_{CND}の1個またはそれ以上がオンになるとモータ巻線から抵抗R_sを通る供給電圧V_mからグランドへの回路が完成する。その結果、電流はモータ巻線と抵抗R_sを通じて流れ始める。

【0060】インダクタを通る電流の特徴は式V = L d i / d t で表されるため、電圧がオンになったあとインダクタを通る電流は最大値まで瞬時に増加せず時間の経過に応じてリニアに増加する。モータ巻線を通る電流が増加するにつれて抵抗R_sを通る電流も増加する。抵抗上の電圧はそこを通って流れれる電流に比例するため、抵抗R_s上の電圧V_sもモータ巻線を通る電流に比例して増加する。電圧V_sは增幅器AMPへの入力時に現れる。增幅器AMPのゲインは選択可能であり、そのゲインは入力GAIN₀及びGAIN₁により制御することができる。增幅器AMPのための典型的なゲイン値は5~30の間であるが本発明はそれ以外の値でも実施することができる。增幅器AMPは出力V_{SA}を発生するがそれは電圧V_sを增幅した電圧である。出力V_{SA}は比較器COMP₁の非反転入力部に接続されている。比較器COMP₁は出力V_{SA}の電圧を入力V_{IN}の電圧と比較する。電圧V_{SA}が電圧V_{IN}を越えると比較器COMP₁は状態が変わり、それによってNORゲートN₁及びN₂を含むフリップフロップの状態が変わる。フリップフロップの状態が変わると、NORゲートN₁の出力は非活性であり、下部ドライバL D_A, L D_B及びL D_CによってMOSFETのM_{AND}, M_{BND}及びM_{CND}へゲート電圧が発生しそれらのMOSFETがオフ(完全に非導通)になる。MOSFETのM_{AND}, M_{BND}及びM_{CND}がオフのときモータ巻線を通る電流LM_A, LM_B及びLM_Cはそれ以上増加できない。

【0061】 フライバック・ダイオードD U_A, D U_B及

びD U_Cはモータ巻線内のエネルギーが消失する場合に、モータ巻線を通る電流を流し続けることができる。フライバック・ダイオードD U_A, D U_B及びD U_Cを通って電流が流れると電流は徐々に低下する。MOSFETのM_{AND}, M_{BND}及びM_{CND}がオフであるあいだに電流が低下する率はこれらのMOSFETがオンのときに電流が増加する率よりも小さい。モータ巻線を通る電流がゼロになる前に外部制御回路は制御信号T_{sw}にもう一つのパルスを加え、再びモータ巻線を供給電圧V_mに接続し、その結果、電流は増加する。電流がある限度を越えて増加または低下することはできないため電流制御の方法が得られる。

【0062】 適切な電流転換制御を行うために逆EMF検出を使用することができる。PWMモードで動作しているときは逆EMF検出が適切な時間に起きるよう留意しなければならない。外部制御回路はパルスを制御信号T_{sw}に加えた以後の持続時間T_pの遅延のあと制御信号T_{SAMPLE}にパルスを加える。制御信号T_{SAMPLE}へ加えられるパルスは図3の波形302に示されている。制御信号T_{SAMPLE}上のパルスによってNORゲートN₃及びN₄を含むフリップフロップの状態が変わり、それによって信号SAMPLEがアクティブになる。信号SAMPLEがアクティブであるあいだ、逆EMF比較器BECは確実な逆EMF比較を行い、出力CMP_{out}を発生する。ノードV_{SA}の電圧が入力V_{IN}の電圧を越えると、比較器COMP₁の状態が変わり、それによってNORゲートN₃及びN₄を含むフリップフロップの状態が変わり、その結果、信号SAMPLEが不活性になる。信号SAMPLEが不活性のとき逆EMF比較器BECは逆EMF比較の実施が抑止される。以上、リニアモード及びPWMモードを自動的に選択することによって誘導性負荷を通る電流を制御するための方法について説明した。

【図面の簡単な説明】

【図1】リニア及びPWM動作のための従来技術の回路を示す概略図。

【図2】本発明の実施例を示す概略図。

【図3】本発明実施例のタイミング関係を示すタイミング図。

【図4】本発明の実施例により制御されるモータのアクティブモータ巻線を通る電流及び電圧を示すタイミング図。

【図5】本発明のもう一つの実施例を示す概略図。

【図6】上部スイッチ装置で起こるPWMスイッチングを使用する本発明のもう一つの実施例を示す図。

【図7】下部スイッチ装置で起こるPWMスイッチングを使用する本発明のもう一つの実施例を示す図。

【符号の説明】

101 ドライバ

102 検出抵抗

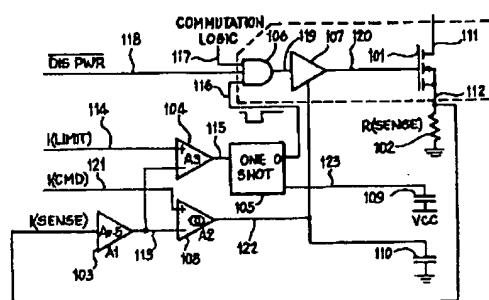
17

- 103, 104, 108, AMP, AMP_1 増幅器
 105 ワンショットマルチバイブレータ
 106 ANDゲート
 107 バッファ
 109, 110 キャバシタ
 111, 112 ポート
 201 ORゲート
 $COMP_1$ 比較器
 N_2, N_3, N_4 NORゲート

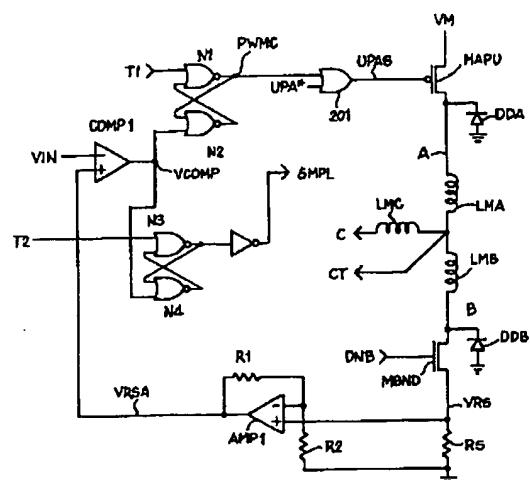
18

- LM_A, LM_B, LM_C モータコイル
 R_S, R_1 抵抗
 D_{UA}, D_{UB}, D_{UC} ダイオード
 DD_A, DD_B, DD_C フライバック・ダイオード
 UD_A, UD_B, UD_C 上部ドライバ
 LD_A, LD_B, LD_C 下部ドライバ
 $M_{APU}, M_{BPU}, M_{CPU}, M_{AND}, M_{BND}, M_{CND}$ MOSFET
 電源 V_M

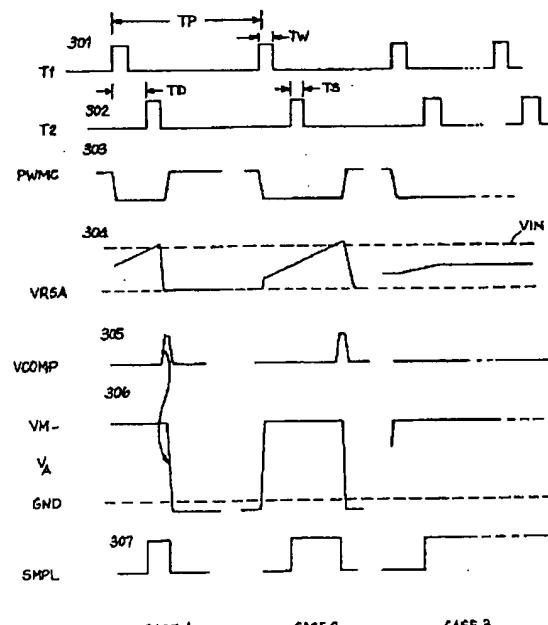
【図1】



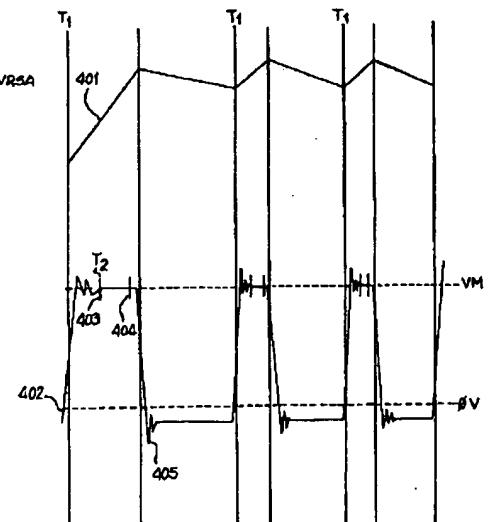
【図2】



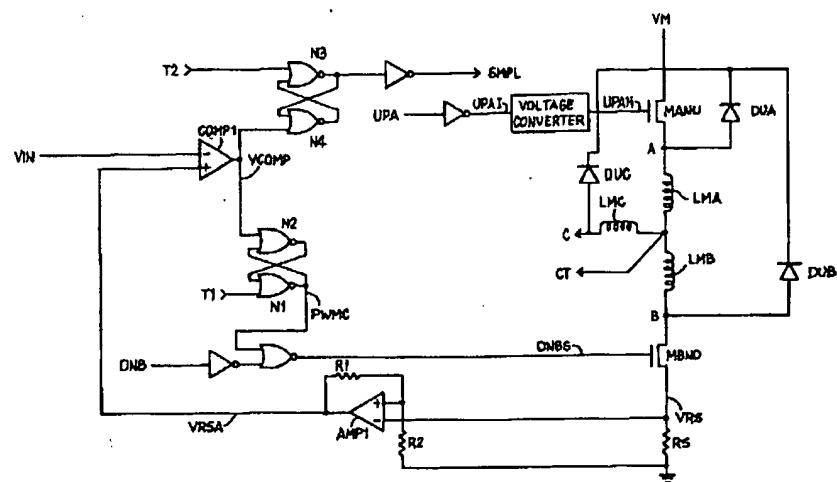
【図3】



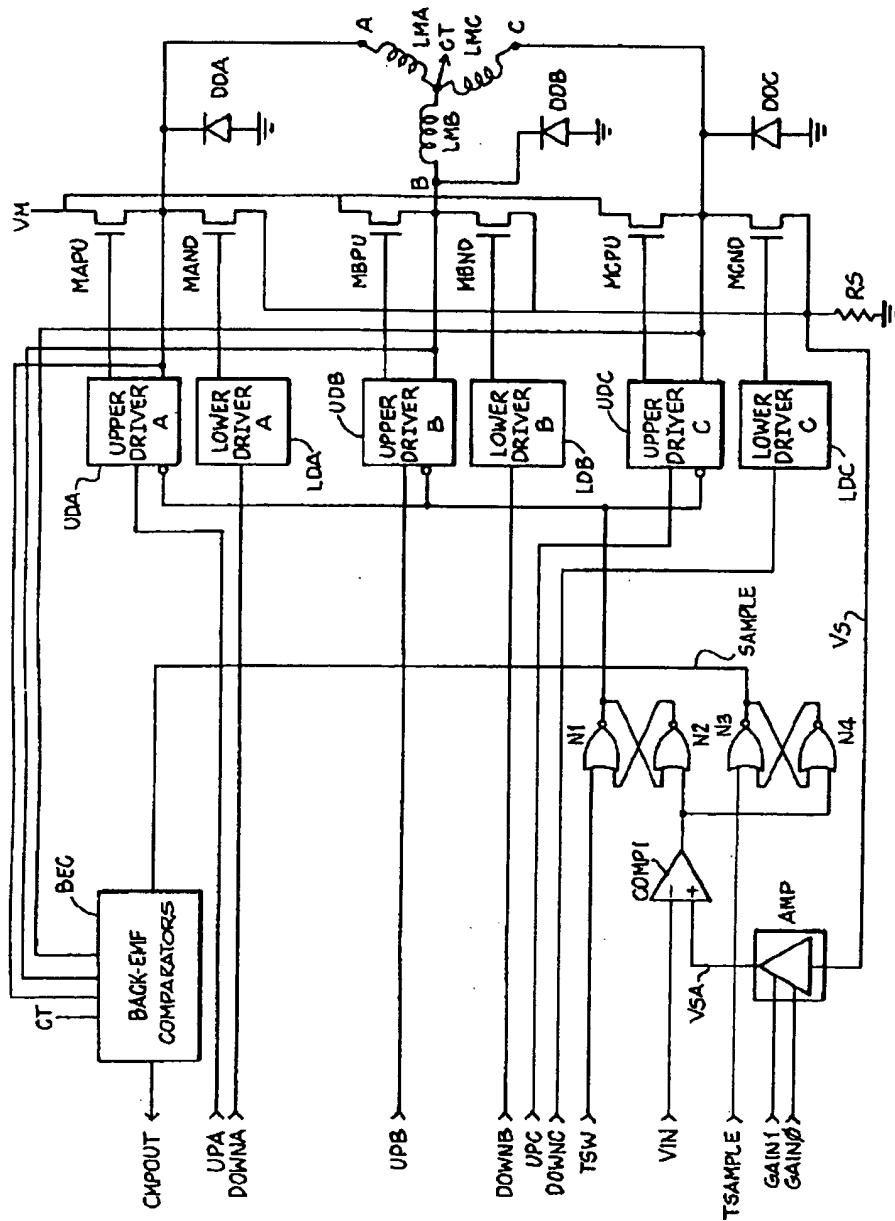
【図4】



【図5】



【図6】



【図7】

